

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07321102 A

(43) Date of publication of application: 08.12.95

(51) Int. Cl

H01L 21/316
H01L 21/76
H01L 29/78

(21) Application number: 06112865

(71) Applicant SONY CORP

(22) Date of filing: 26.05.94

(72) Inventor: YOSHIKOSHI SHUNICHI

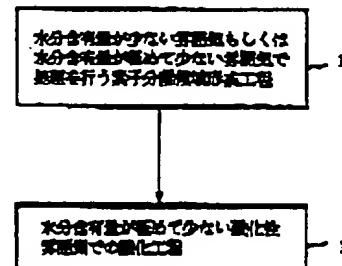
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To provide a highly reliable insulating film (a gate insulating film of a MOS transistor or an insulating film of a MOS capacitor) having a low electron capture level, in using a selective oxidation method, such as LOCOS method, for element isolation.

CONSTITUTION: A gate oxide film is obtained by forming an LOCOS region or the like by an element isolation region forming process I which is carried out in an atmosphere having a small moisture content or in an atmosphere having an extremely small moisture content, and an oxidation process II in an oxidizing atmosphere having an extremely small moisture content.

COPYRIGHT: (C)1995,JPO



mimosa

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-321102

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.
H 01 L 21/316

識別記号

序内整理番号

F I

技術表示箇所

S
21/76

9274-4M

H 01 L 21/ 94

A

21/ 76

M

審査請求 未請求 請求項の数 2 OL (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-112865

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成6年(1994)5月26日

(72)発明者 吉越 俊一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 高月 亨

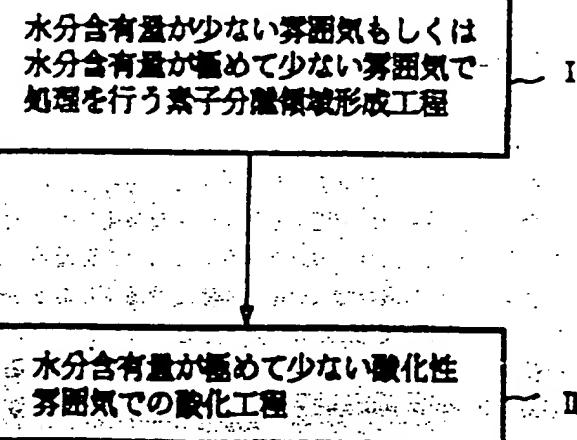
(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【目的】 素子分離にLOCOS法等の選択酸化法を用いる際に、電子捕獲準位が少ないと信頼性の高い絶縁膜(MOS型トランジスタのゲート絶縁膜、MOSキャバシタの絶縁膜)を提供する技術を得る。

【構成】 水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で処理を行う素子分離領域形成工程Iを行い、LOCOS領域等を形成し、かつ、水分含有量が極めて少ない酸化性雰囲気での酸化工程Iを行い、ゲート酸化膜等を形成する。

発明の構成を示すフロー図



【特許請求の範囲】

【請求項1】絶縁性酸化薄膜を素子の構成要素として少なくとも備えるとともに、選択酸化法により形成される素子分離領域を有する半導体装置の製造方法において、水分含有量の少ない雰囲気もしくは水分量が極めて少ない雰囲気で処理することにより前記素子分離領域を形成し、

かつ、前記絶縁性酸化薄膜を水分含有量が極めて少ない酸化性雰囲気で処理することにより形成することを特徴とする半導体装置の製造方法。

【請求項2】素子分離領域を大気より高圧の酸化性雰囲気で処理して酸化膜を形成することにより得ることを特徴とする請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関する。特に、絶縁性酸化薄膜（例えばMOSトランジスタのゲート酸化膜や、MOSキャパシタの絶縁酸化膜として用いる薄膜）を素子の構成要素として少なくとも備えるとともに、選択酸化法により形成される素子分離領域を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】最先端技術により形成される半導体装置、例えばシリコン集積回路、特にMOS（Metal-Oxide-Semiconductor）集積回路では、膜厚が極めて薄い酸化膜がゲート絶縁膜に用いられる。とりわけ、ゲート長が $1.0\text{ }\mu\text{m}$ 以下のサブミクロンMOSデバイスでは、膜厚が例えば 10 nm 以下となる酸化膜が用いられるに至っている。このように膜厚を薄くすることによって、利得の向上が図られている。

【0003】かかる酸化膜の形成方法としては、酸化性雰囲気の中でシリコン基板を加熱処理する熱酸化法が主に用いられてきた。しかし、シリコン基板と熱酸化膜の界面には、シリコン結晶と二酸化シリコン非晶質層との間の結合の不整合性（結晶と非晶質との間の未結合ダングリングボンドに由来すると考えられる）に起因して界面準位が形成される。また、二酸化シリコン層内には電子や正孔の捕獲準位が形成される。

【0004】従って、このような酸化膜を例えばMOS型電界効果トランジスタのゲート絶縁膜として使用した場合、上記の原因に起因する種々の問題が生じる。例えば、ゲート長 $1.0\text{ }\mu\text{m}$ 以下の微細なMOS型電界効果トランジスタの場合ではチャネル領域で発生したホットキャリアがこの酸化膜中に侵入すると、キャリアはこの酸化膜中の捕獲準位に捕えられ、このためMOS型電界効果トランジスタにおけるしきい値電圧の変動や伝達コンダクタンスの低下を引き起こしてしまう。

【0005】これらの電子捕獲準位を低減する方法として、水分含有量の少ない酸化性雰囲気で酸化膜を形成す

る方法が提案されている（例えばH. MIKI et al. "Electron and Hole Traps in SiO₂ Films Thermally Grown on Si Substrates in Ultra-Dry Oxygen", IEEE Trans. Electron Device, vol. 35, No. 12, 1988参照）。

【0006】

【発明が解決しようとする問題点】上記したような水分含有量の少ない酸化性雰囲気で酸化膜を形成する技術は、確かに電子捕獲準位が低く、信頼性の高い絶縁性酸化膜が得られる利点がある。

【0007】しかしこの手段は、それだけでは、これを実際の半導体装置、特に現在一般的に用いられている素子分離のために酸化領域（代表的にはいわゆるLOCOS）を用いる半導体装置に応用する際には、結局素子分離酸化領域からの拡散物がゲート絶縁膜等として用いる酸化膜に取り込まれて電子捕獲準位を形成してしまい、効果が發揮されないという問題がある。

【0008】この問題点を、上記従来技術を具体化した場合の工程を示す図6ないし図9を用いて説明すると、次のとおりである。

【0009】図6ないし図9において、符号1はSi基板、2はパッド（Pad）SiO₂膜、3は窒化シリコン膜、4はバーニングされたレジスト膜、5は窒化シリコン膜をバーニングするためのLOCOS RIEを模式的に示す矢印、6aは素子分離領域をなすLOCOS酸化膜、7、8、9はLOCOS酸化膜に含まれるH基、OH基、H₂O、10はゲート酸化膜、11はH基、OH基、H₂Oの拡散を模式的に示す矢印、7'、8'、9'はLOCOS酸化膜から拡散しゲート酸化膜に含まれるに至ったH基、OH基、H₂Oを示す。

【0010】図示の工程においては、図6に示すように、まず、Si基板1にパッド（Pad）SiO₂膜2を形成する。これは例えば熱酸化により、 850°C 、30分のパイロジエニック酸化により、 -10 nm の酸化膜を形成する。

【0011】次に、窒化シリコン膜3をパッド（Pad）SiO₂膜2上に形成する。これは例えば減圧CVD法により、 760°C 、SiH₄C₁₂90SCCM及びNH₃600SCCM（混合ガス）雰囲気で100分の堆積により、 100 nm の窒化シリコン膜を形成する。

【0012】次にレジスト膜を塗布し、露光転写により所定のバーニングを行う。最終的にLOCOS酸化膜（いわゆるフィールド酸化膜）が形成される領域のレジストが選択的に取り除かれる。

【0013】次に、反応性ガス雰囲気中で放電しプラズマを発生させ、窒化シリコン膜を選択的にエッチング（LOCOS RIE5）する（図6）。これは例えば放電のためのRFパワー700W、CHF₃75SCC

Si及びO₂ 25 SCCM混合ガス雰囲気(圧力5.7Pa)で処理することにより、実施できる。このとき、下地の酸化膜も少しエッティングされる。

【0014】次に、レジストを除去すると、図7に示す構造になる。このレジスト除去はたとえばO₂ プラズマによるレジストの灰化除去、硫酸過水洗浄により実施できる。

【0015】次にLOCOS酸化膜6aを形成する。これは例えば熱酸化により、950°C、90分のパイロニック酸化により300nmの酸化膜を形成する。このとき、窒化シリコン膜3中の酸化種(O₂、H₂O等)の拡散係数が小さいため、窒化シリコン膜3で覆われた領域では酸化種(O₂、H₂O等)がSi基板1へ到達せず酸化されない。結果として、窒化シリコン膜が除去された領域のみ選択的に酸化される。また、LOCOS酸化膜は膜厚が厚いため酸化速度の速いパイロニック酸化(酸化種としてH₂Oを利用)が用いられる。このためLOCOS酸化膜6中にはH基7、OH基8、H₂O9等が10⁻³~10⁻² cm⁻³程度含まれる。

【0016】次に窒化シリコン膜3、パッド(Pad)SiO₂を除去すると、図8の構造になる。これは例えば20倍に薄めた希フッ酸処理1分でLOCOS酸化中に窒化シリコン膜3上に形成された酸化膜を除去し、続いて150°Cに加熱した磷酸処理50分で窒化シリコン膜3を除去し、続いて20倍に薄めた希フッ酸処理5分でパッド(Pad)SiO₂を除去する。

【0017】次に、ゲート酸化膜10aを形成する。このとき、ゲート酸化膜10a中の電子捕獲準位が少なくなるように、水分含有量の極めて少ない酸化性雰囲気で熱処理することにより酸化膜を形成する。これは例えば、850°C、水分含有量0.5ppmの乾燥酸素雰囲気で50分熱処理することにより、8nmの酸化膜を形成する。

【0018】ところがこのとき、LOCOS酸化膜近傍(いわゆるLOCOS端近傍)では、LOCOS酸化膜6a中のH基7、OH基8、H₂O9等がゲート酸化膜形成時に図9に矢印11で模式的に示すように拡散し、図9の符号7'、8'、9'で示すようにゲート酸化膜中に取り込まれ、電子捕獲準位を形成する。

【0019】このためこの領域では結局、水分含有量の極めて少ない酸化性雰囲気で熱処理し電子捕獲準位が少ない酸化膜を形成する効果が十分得られない。

【0020】

【発明の目的】本発明の目的は、素子分離に選択酸化法(代表的にはLOCOS法)を用いる半導体装置の製造方法等のデバイスプロセス技術において、電子捕獲準位が少ない、信頼性の高い絶縁膜(MOS型トランジスタのゲート絶縁膜、MOSキャパシタの絶縁膜)を提供する技術を得ることである。

【0021】

【目的を達成するための手段】本出願の請求項1の発明は、絶縁性酸化薄膜を素子の構成要素として少なくとも備えるとともに、選択酸化法により形成される素子分離領域を有する半導体装置の製造方法において、水分含有量が少ない雰囲気もしくは水分量が極めて少ない雰囲気で処理することにより前記素子分離領域を形成し、かつ、前記絶縁性酸化薄膜を水分含有量が極めて少ない酸化性雰囲気で処理することにより形成することを特徴とする半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0022】この発明について、発明の構成を示す FIG-1である図1を参照して略述すると、次のとおりである。即ち、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で処理を行う素子分離領域形成工程1を行い、LOCOS領域等を形成し、かつ、水分含有量が極めて少ない酸化性雰囲気での酸化工程1を行い、ゲート酸化膜等を形成する。

【0023】本出願の請求項2の発明は、素子分離領域を大気圧より高圧の酸化性雰囲気で処理して酸化膜を形成することにより得ることを特徴とする請求項1に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0024】ここで、水分含有量が少ない酸化性雰囲気とは、好ましくは水分量1wt%以下程度を指し、水分含有量が極めて少ない酸化性雰囲気とは、好ましくは水份量10ppm以下程度を指す。

【0025】素子分離領域形成のために水分含有量が少ない酸化性雰囲気もしくは水分含有量が極めて少ない酸化性雰囲気で処理を行うとは、素子分離酸化膜の形成をそのような雰囲気で行うことのみを指すだけではなく、例えば、従来技術のところで説明しているパッド(Pad)SiO₂の形成をも必要に応じて同様の雰囲気で形成することも含む。パッド(Pad)SiO₂は一般にその後形成されるLOCOS酸化膜に取り込まれるため、これにH基、OH基、H₂Oが含まれているとこれらもLOCOS酸化膜に取り込まれることになるからである。また、例えば、水分含有量が少なくない酸化性雰囲気で素子分離(LOCOS)酸化膜を形成し、その後、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で処理して素子分離(LOCOS)酸化膜中のH基、OH基、H₂Oを外方拡散により追い出し、その結果、H基、OH基、H₂Oの少ない素子分離(LOCOS)酸化膜を得るというような方法も含む。要するに、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気での処理(熱処理等)の組み合わせにより、H基、OH基、H₂Oの少ない素子分離(LOCOS)酸化膜を有する素子分離領域を形成することを指す。

【0026】大気圧より高圧の酸化性雰囲気とは、目安として1~2MPa(約10~20atm)程度を指す

が、限定するものではない。市販の製造装置でその程度の圧力で酸化できるものが現状得られている。

【0027】

【作用】本発明によれば、素子を構成する絶縁性酸化膜を水分含有量が極めて少ない酸化性雰囲気で処理することにより形成したので、電子捕獲準位が少ない、信頼性の高い絶縁性酸化薄膜が得られ、これは例えばMOS型トランジスタのゲート絶縁膜、MOSキャパシタの絶縁膜としてきわめて有利である。またこれだけでは、素子分離領域を選択酸化法により形成すると、この素子分離領域からの拡散により電子捕獲準位が形成されるものであったが、本発明では、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で処理することにより素子分離領域を形成するので、この問題も解決できる。この結果、信頼性の高い半導体装置を得ることができる。

【0028】本発明の作用について、Si基板上のSi酸化薄膜について本発明を具体化した場合を例にとって更に詳細に説明すると、次のとおりである。

【0029】二酸化シリコン(SiO₂)膜中の電子捕獲準位は、SiO₂中に固溶したH₁O、OHまたはH等により形成される。本発明では、電子捕獲準位を減少させるために水分量が極めて少ない酸化性雰囲気中でSiO₂膜(MOS型トランジスタのゲート酸化膜、MOSキャパシタの絶縁膜等)を形成し、これにより酸化膜中に含まれるH基、OH基、H₁Oが少ない酸化膜を形成し、その結果として、これらに起因する酸化膜中の電子捕獲準位を低減させる。

【0030】一般にペア(Bare)なSi基板に酸化膜を形成する際は上述の方法のみで問題はないが、実際のLSI等の半導体装置では、トランジスタ等の個々の素子が各々独立して動作できるように電気的に分離する必要がある。このような素子分離技術としては現在、ほとんどの半導体装置では選択酸化法(代表的にはLOCOS法)が用いられている。この場合、各素子は一般に、厚い素子分離酸化膜で分離される。逆に言うと、各素子はLOCOS酸化膜に囲まれた領域に形成される。上述のゲート酸化膜、キャパシタ酸化膜も素子分離酸化膜に囲まれた領域に形成される。このとき水分量が極めて少ない酸化性雰囲気中でこれらの酸化膜を形成したとしても、素子分離酸化膜中にH基、OH基、H₁Oが含まれると、これらH基、OH基、H₁Oが拡散して移動しこれらの絶縁性酸化薄膜に含まれるに至り、電子捕獲準位を形成してしまう。

【0031】本発明では、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で熱処理を行い、素子分離酸化膜(いわゆるフィールド酸化膜)中にH基、OH基、H₁Oが少ない膜を形成し、かつ水分含有量が極めて少ない酸化性雰囲気での熱処理により絶縁性酸化薄膜(MOS型トランジスタゲート酸化膜等)を

形成し、LOCOS酸化膜から拡散し移動してくるH基、OH基、H₁Oが少なく、かつ酸化膜形成中の雰囲気から取り込まれるH基、OH基、H₁Oも少ない酸化膜を形成し、その結果として、これらに起因する電子捕獲準位の少ない酸化膜を形成し、これらを有す半導体装置を得ることができる。

【0032】例えばゲート長1.0μm以下の微細なMOS型電界効果トランジスタの場合では、チャネル領域で発生したホットキャリアがゲート酸化膜中に侵入すると、キャリアはこの酸化膜中の捕獲準位に捕らえられ、酸化膜中に電荷として蓄積され、このためMOS型電界効果トランジスタにおけるしきい値電圧の変動や伝達コンダクタンスの低下を引き起こしてしまうが、本発明によって得られる電子捕獲準位の少ない酸化薄膜では捕獲準位が少ないため、キャリアが準位に捕獲される確率が低く、捕獲されにくい。このため、しきい値電圧の変動や伝達コンダクタンスの低下が起きにくく、トランジスタの、ひいては半導体装置の信頼性を向上することができる。

10

【0033】

【実施例】

以下本発明の実施例について説明する。但し当然のことではあるが、本発明は以下に述べる実施例により限定を受けるものではない。

実施例1

【0034】この実施例は、本発明を、MOS半導体装置の製造方法に適用したものである。図1に本実施例の概要を示し、図2ないし図5に本実施例の工程を順に断面図で示す。

20

【0035】図1は本実施例の構成を示すフロー図であり、1は水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で熱処理を行うLOCOS形成工程、IIは水分含有量が極めて少ない酸化性雰囲気での酸化工程である。

【0036】本実施例では、水分含有量が少ない雰囲気もしくは水分含有量が極めて少ない雰囲気で熱処理を行い、LOCOS酸化膜(いわゆるフィールド酸化膜)中に、H基、OH基、H₁Oが少ない素子分離領域を形成し、かつ水分含有量が極めて少ない酸化性雰囲気での熱処理により酸化薄膜(MOS型トランジスタのゲート絶縁膜)を形成する。

30

【0037】以下図2ないし図5を参照して、本実施例の工程について説明する。図2ないし図5において、1はSi基板、2はPadSiO₂膜、3は窒化シリコン膜、4はパターニングされたレジスト膜、5は窒化シリコン膜をパターニングするためのLOCOS RIEを模式的に示す矢印、6は素子分離酸化膜(LOCOS酸化膜)、10はゲート酸化膜として具体化した絶縁性酸化薄膜である。

50

【0038】なお、実際の半導体装置の製造においては、Si基板の所定の領域にリン、ボロン等の不純物を

添加する工程があるが、以下の説明では省略している。

【0039】本実施例においては、図2に示すように、Si基板1にパッド(Pad) SiO₂を形成する。ここで例えば、850℃、50分の乾燥酸素により、10nmの酸化膜を形成する。このとき、水分含有量の極めて少ない雰囲気で処理を行う。例えば水分量0.5ppmの酸化性雰囲気で熱処理することにより、H基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下である酸化膜を形成する。

【0040】次に、塗化シリコン膜3をパッド(Pad) SiO₂上に形成する。ここでは例えば減圧CV法により、760℃で、SiH₄Cl₂ 90SCCM + NH₃ 600SCCMの混合ガス雰囲気で、100分の堆積により100nmの塗化シリコン膜を形成する。

【0041】次にレジスト膜を塗布し、露光転写により所定のパターニングを行う。このパターニングにより、最終的に素子分離領域をなすLOCOS酸化膜(いわゆるフィールド酸化膜)が形成される領域のレジストが選択的に取り除かれる。

【0042】次に、反応性ガス雰囲気中で放電しプラズマを発生させ、塗化シリコン膜を選択的にエッチング(LOCOS RIE5)する。これは例えば放電のためのRFパワー700W、CEF: 75SCCM+O₂ 25SCCMの混合ガス雰囲気(圧力5.7Pa)で処理することにより、実施できる。このとき、下地の酸化膜2も少しエッチングされる。

【0043】次に、レジストを除々すると、図3に示す構造が得られる。このレジスト除去は、たとえばO₂プラズマによるレジストの灰化除去、硫酸過水洗浄により実施できる。

【0044】次に素子分離領域6であるLOCOS酸化膜を形成する。ここで例えば、1100℃、200分の乾燥酸素による熱酸化により、300nmの酸化膜を形成する。このとき、水分含有量の極めて少ない酸化性雰囲気で処理を行う。例えば水分量0.5ppmの酸化性雰囲気で熱処理することにより、H基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下の酸化膜を形成する。

【0045】あるいは、950℃、60分のパイロジニック酸化により、300nmの酸化膜を形成し、その後、950℃、60分ないし1000℃、30分程度の水分含有量の極めて少ない例えば水分量0.5ppmの非酸化性雰囲気で熱処理を行い、H基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下の酸化膜を形成する。

【0046】あるいは、900℃、20分、1MPa(約10atm)の乾燥酸素による高圧酸化により300nmの酸化膜を形成する。このとき、水分含有量の極めて少ない例えば水分量0.5ppmの酸化性雰囲気で熱処理することによりH基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下の酸化膜を形成する。高圧化によ

り、酸化速度が大きくなり、酸化温度の低温化及び酸化時間の短縮が図れる。

【0047】このとき、塗化シリコン膜3中の酸化種(O₂、H₂O等)の拡散係数が小さいため、塗化シリコン膜3で覆われた領域では、酸化種(O₂、H₂O等)がSi基板1へ到達せず、酸化されない、結果として、塗化シリコン膜3が除去された領域のみ選択的に酸化される。

【0048】次に塗化シリコン膜3、パッド(Pad) SiO₂を除去し、図4の構造を得る。ここでは例えば20倍に薄めた希フッ酸処理(1分)で、LOCOS酸化中に塗化シリコン膜3上に形成された酸化膜を除去し、続いて150℃に加熱した磷酸処理(50分)で塗化シリコン膜3を除去し、続いて20倍に薄めた希フッ酸処理(5分)でパッド(Pad) SiO₂を除去する。

【0049】次に、絶縁性酸化薄膜としてゲート酸化膜10を形成する。ここでは例えば、850℃、50分の乾燥酸素による熱酸化により8nmの酸化膜を形成す

る。このとき、水分含有量の極めて少ない酸化性雰囲気で熱処理することにより、H基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下の酸化膜を形成する。このとき、隣接するLOCOS酸化膜から拡散し移動してくるH基、OH基、H₂Oが少なく、かつ雰囲気から取り込まれるH基、OH基、H₂Oが少ないとため、所定の領域全面においてH基、OH基、H₂Oが少ないとすればこれらが10⁻¹¹cm⁻³以下の酸化膜を形成できる。

【0050】その結果、これらに起因する電子捕獲準位の少ない酸化膜を有す半導体装置を得ることができる。得られた構造を図5に示す。

【0051】上述のように、本実施例によれば、電子捕獲準位の低い構造が得られた。即ち、例えばゲート長1.0μm以下の微細なMOS型電界効果トランジスタの場合では、チャネル領域で発生したホットキャリアがゲート酸化膜中に侵入すると、キャリアはこの酸化膜中の捕獲準位に捕らえられ、酸化膜中に電荷として蓄積され、このためMOS型電界効果トランジスタにおけるしきい値電圧の変動や伝達コンダクタンスの低下を引き起こしてしまうが、本実施例によって得られる電子捕獲準位の少ない酸化膜では捕獲準位が少ないとため、キャリアが準位に捕獲される確率が低く、捕獲されにくい。このため、しきい値電圧の変動や伝達コンダクタンスの低下が起きにくく、トランジスタの信頼性を向上でき、このトランジスタ構造を有する半導体装置の信頼性を向上することができた。

【0052】実施例2
この実施例では、MOSキャバシタ構造を有するとともに、LOCOS法による素子分離領域を備える構造の半

導体装置の製造に、本発明を適用した。

【0053】本実施例では、実施例1におけるゲート酸化膜と同様にして、MOSキャパシタの誘電膜となる絶縁膜を形成することによって、実施例1と同様、HやO、H₂、O等の含有量の小さい酸化薄膜を得た。これにより、信頼性の向上したMOSキャパシタを有する半導体装置が得られた。

【0054】

【発明の効果】本発明によれば、素子分離に選択酸化法(代表的にはLOCOS法)を用いる半導体装置の製造方法等のデバイスプロセス技術において、電子捕獲準位が少ない、信頼性の高い絶縁膜が得られ、よって、信頼性の向上した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】発明の構成を示すフロー図である。

【図2】実施例1の工程を順に断面図で示すものである

(1)。

【図3】実施例1の工程を順に断面図で示すものである

(2)。

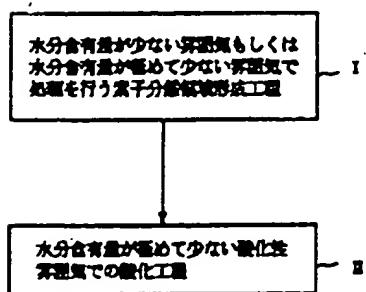
【図4】実施例1の工程を順に断面図で示すものである

(3)。

【図5】実施例1の工程を順に断面図で示すものである

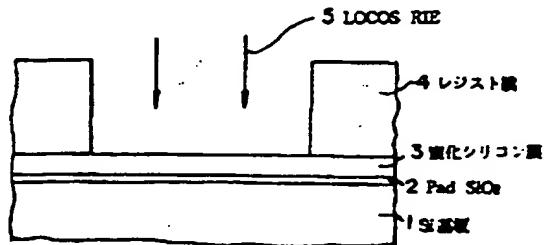
【図1】

発明の構成を示すフロー図



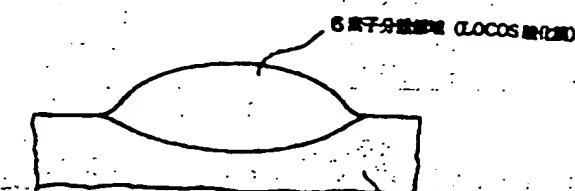
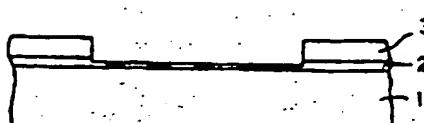
【図2】

実施例1の工程(1)



【図3】

実施例1の工程(2)



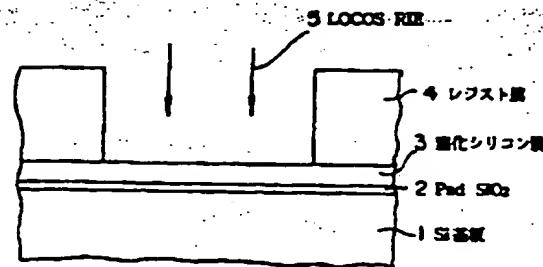
【図5】

開発点を示す図(4)



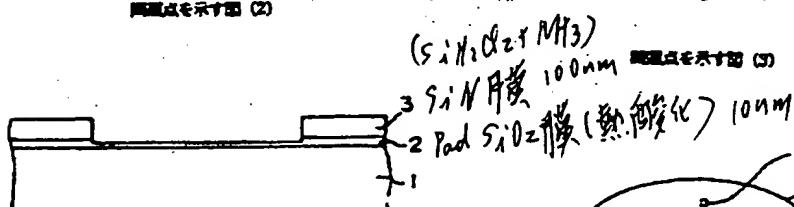
【図6】

開発点を示す図(5)

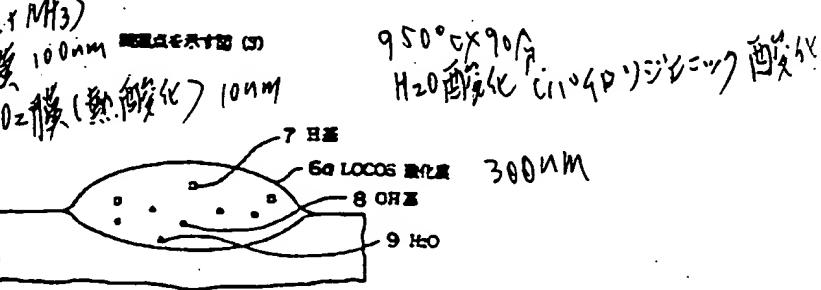
CHF₃

【図7】

開発点を示す図(2)

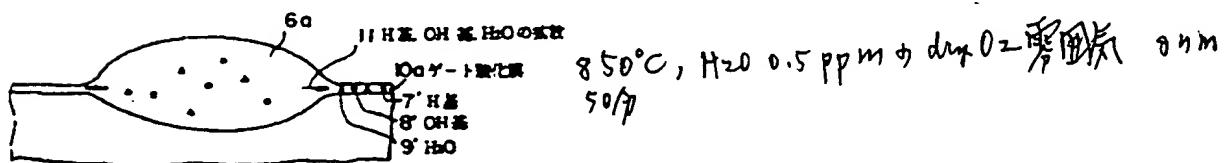


【図8】



【図9】

開発点を示す図(4)



フコントページの続き

(51) Int. Cl. 6

識別記号

府内整理番号

F I

技術表示箇所

H01L 29/78

H01L 29/78

301 G